

配信先：大学記者会（東京大学） 文部科学記者会 科学記者会

2025年3月4日

東京大学

芝浦工業大学

記者会見のご案内

パワー半導体のスイッチング損失を自動低減する

ゲート駆動 IC チップの適用範囲を拡大

—— 一般的な3本足パッケージのパワー半導体にも適用可能に ——

記者会見

○日時：2025年3月13日（木）14:00～15:00

○場所：Zoom を用いたオンライン開催とさせていただきます。下記 URL より3月13日（木）13:00 までにお申し込みください。登録完了画面に Zoom 接続情報が表示されますので、そちらからご参加をお願いします。

○出席者：

高宮 真（東京大学 生産技術研究所 教授）

畑 勝裕（芝浦工業大学 工学部 准教授）

井出 倫滉（東京大学 生産技術研究所 助教）

○参加申し込み：<https://forms.gle/HKcyK228h9DRggjh8>



発表のポイント

◆パワー半導体のスイッチング損失を自動で低減するゲート駆動 IC チップの適用範囲を大幅に拡大することに成功しました。

◆従来、4本足パッケージのパワー半導体にも対応していた技術を、3本足パッケージのパワー半導体にも適用できるように改良し、対応する品種数を約5倍に増加させました（図1）。

◆この成果により、省エネルギー技術の普及が加速し、パワーエレクトロニクス機器の高効率化を通じて温室効果ガス排出削減への貢献が期待されます。

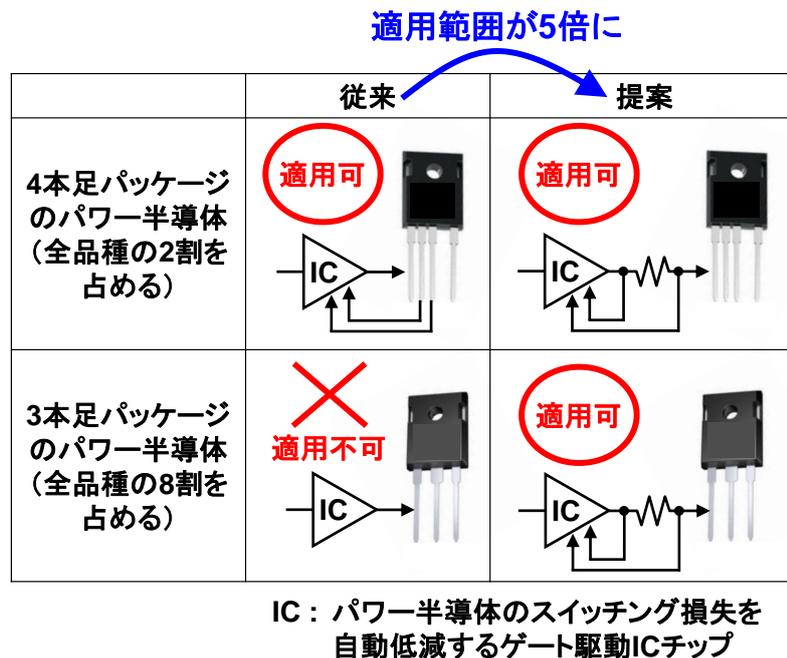


図1：パワー半導体のスイッチング損失を自動低減するゲート駆動 IC チップの適用範囲を拡大

概要

東京大学 生産技術研究所の高宮 真 教授、梁 耀淦 特任研究員、芝浦工業大学 工学部 畑勝裕 准教授らの研究グループは、パワー半導体（注1）のスイッチング損失を自動で低減する技術の適用範囲を大幅に拡大することに成功しました。

一般に、パワー半導体のパッケージは、3本足と4本足の2種類に分類されます。

本研究グループは2023年に、4本足パッケージ向けにスイッチング損失を自動で低減するゲート駆動 IC チップを開発しましたが、4本足パッケージのパワー半導体の品種数は全体の約2割にとどまり、適用範囲が限られていました。

今回、ゲート駆動 IC チップに内蔵するセンサ回路を改良することで、パワー半導体品種の約8割を占める3本足パッケージにも適用可能なゲート駆動 IC チップの開発に成功しました。この技術改良により、適用対象となるパワー半導体の品種数は2,390品種から11,124品種へと約5倍に拡大します。本技術はシリコンだけでなく、炭化ケイ素（SiC）などのパワー半導体にも適用可能です。

この成果により、省エネルギー技術の普及が加速し、パワーエレクトロニクス機器の高効率化を通じて温室効果ガス排出削減への貢献が期待されます。

発表内容

〈研究の背景〉

パワーエレクトロニクス機器の分野では、省エネルギー化の要求に応えるため、パワー半導体の低損失化に関する研究開発が活発に進められています。

本研究グループは、パワー半導体の「ゲート端子を最適に駆動する」という“使いこなし”の視点からパワー半導体のスイッチング損失を低減する研究を行い、2023年に4本足パッケージのパワー半導体向けに「スイッチング損失を自動低減するゲート駆動ICチップ」を開発しました[1]。

一般的に、パワー半導体のパッケージには3本足パッケージと4本足パッケージの2種類があります(図2)。

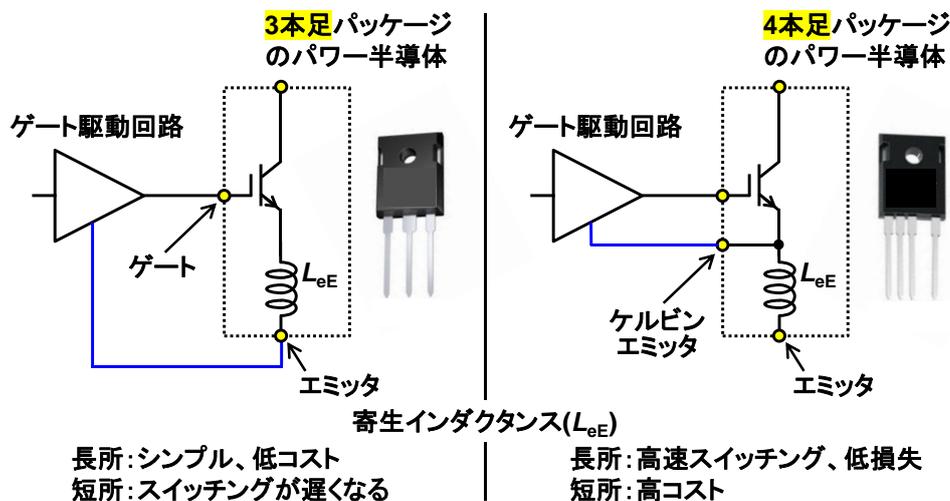


図2: 3本足と4本足パッケージのパワー半導体

3本足パッケージはシンプルで低コストですが、エミッタ端子の配線に起因する寄生インダクタンスの影響によりスイッチング速度が低下し、スイッチング損失が増加するという課題があります。一方、4本足パッケージでは新たにケルビンエミッタ端子を追加することでこの問題を解決し、スイッチング速度を向上させ、スイッチング損失を低減できます。しかし、4本足パッケージは3本足パッケージに比べて高コストであるため、適用できるアプリケーションが限られています。主要パワー半導体メーカー10社の製品調査[2]によると、4本足パッケージの品種数は2,390品種であるのに対し、3本足パッケージは8,734品種と、3本足パッケージが全体の約8割を占めていることが分かりました。

そのため、以前に開発した「スイッチング損失を自動低減するゲート駆動ICチップ」は、適用範囲が4本足パッケージに限られており、全体の約2割のパワー半導体にはしか対応できないという制約がありました。

このような背景を踏まえ、本研究グループは、3本足パッケージのパワー半導体にも適用可能な「スイッチング損失を自動低減するゲート駆動ICチップ」の開発に取り組んできました。

〈今回の成果〉

開発した「スイッチング損失を自動低減するゲート駆動ICチップ」(図3)は、IC内部のセンサ回路を改良し、ゲート駆動電流をセンシングする方式(ゲート端子に挿入されたセンス抵

抗の両端電圧を検出)を採用することで、パワー半導体品種の約8割を占める3本足パッケージにも適用可能となりました。

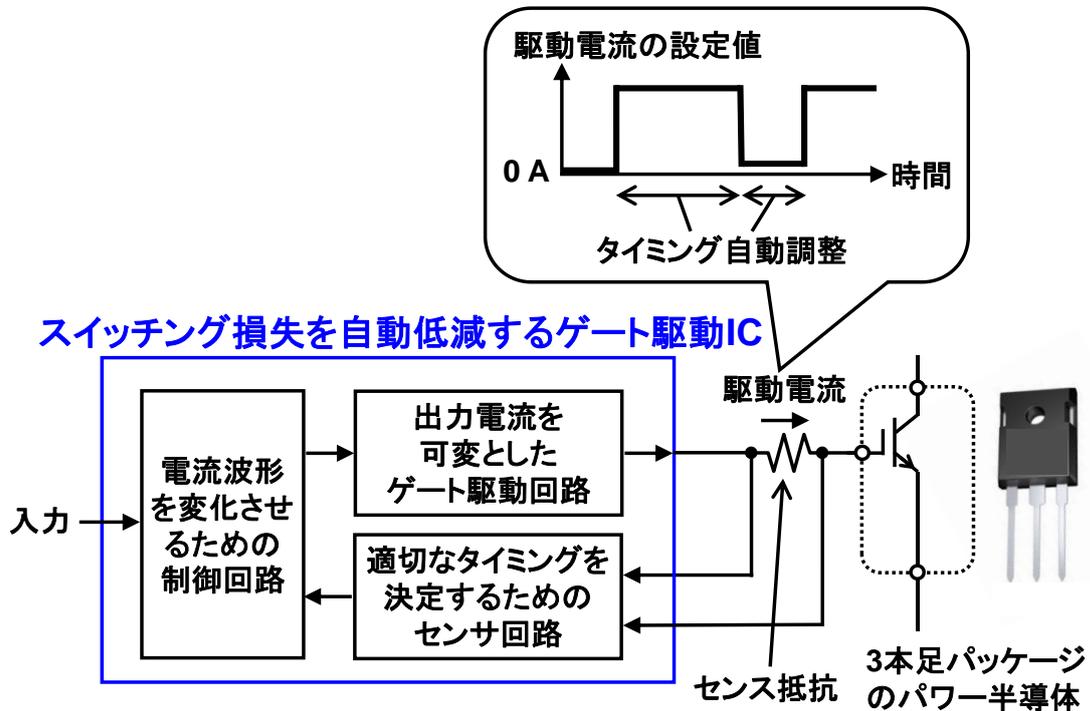


図3：開発した「スイッチング損失を自動低減するゲート駆動ICチップ」

さらに、本ICチップは以下の特長を備えています。

●動作条件の変動に適応

パワー半導体の負荷電流や温度などの動作条件が変化しても、ゲート駆動電流のタイミングを自動調整し、スイッチング損失を常に低減。

●省スペース・低コスト

センサ回路、制御回路、ゲート駆動回路の3つの機能を1チップ化(図4)することで、従来のゲート駆動ICチップとそのまま置き換え可能。追加の回路設計や外付け部品を必要とせず、コンパクトかつ低コストで導入可能。

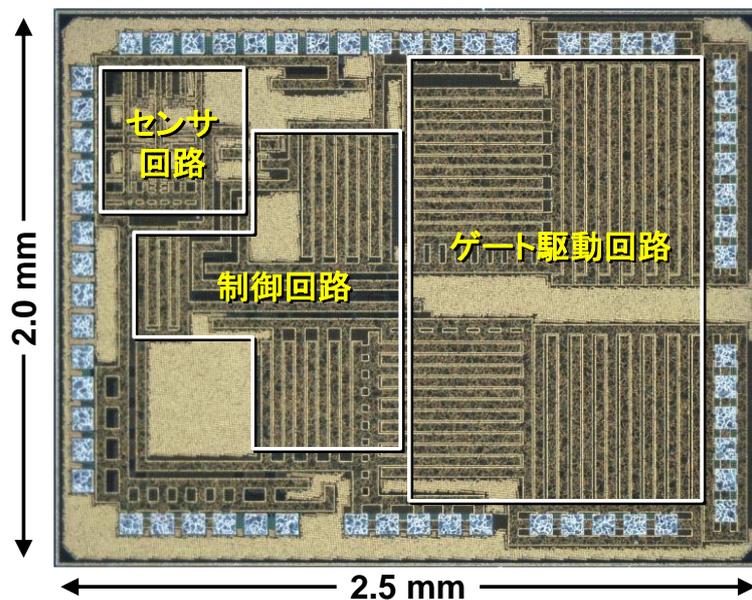


図4：試作した「スイッチング損失を自動低減するゲート駆動 IC」のチップ写真

〈性能実証試験〉

開発した IC チップのスイッチング損失低減効果を検証するため、市販のシリコンのパワー半導体（定格電圧 1,200 V、定格電流 100 A の IGBT）を用いて、600 V でのスイッチング試験を行いました。負荷電流 20 A、50 A、80 A の 3 条件、および温度 25 °C、75 °C、125 °C の 3 条件の合計 9 条件の実測を行った結果、すべての条件で従来のゲート駆動方式と比較してスイッチング損失を自動で低減することに成功し、損失低減率は 16% から 30% を達成しました。

〈本成果のインパクト〉

本技術により、スイッチング損失を自動で低減するゲート駆動 IC チップが、3 本足パッケージと 4 本足パッケージの両方に対応可能となり、あらゆるパワー半導体に適用できるようになりました。さらに、シリコンや炭化ケイ素（SiC）など、さまざまなパワー半導体にも対応しており、幅広い用途での活用が期待されます。

本成果のインパクトを試算すると、パワーエレクトロニクス機器の総損失のうちスイッチング損失が 20% を占める場合、本技術によってスイッチング損失を 30% 削減できれば、総損失は 6% 低減される計算になります。

この成果により、省エネルギー技術のさらなる普及が促進され、パワーエレクトロニクス機器の高効率化を通じて温室効果ガス排出削減への貢献が期待されます。

○参考文献：

[1] 「プレスリリース世界初：半導体を省エネに操る IC チップ——自動波形変化ゲート駆動 IC チップにより、エネルギー損失を 49% 低減——」（2023/3/23）
<https://www.iis.u-tokyo.ac.jp/ja/news/4153/>

[2] 以下のパワー半導体メーカーのウェブサイトで、4 本足と 3 本足のパッケージに関するパワー半導体の品種数を調査した。調査結果の詳細は以下の通り。

	パワー半導体メーカー	4本足パッケージ	3本足パッケージ	総数
1	Infineon	1191	1592	2783
2	On semi	272	1611	1883
3	ST	181	1462	1643
4	Mitsubishi	214	0	214
5	Vishay	99	1179	1278
6	Rohm	72	789	861
7	Toshiba	87	802	889
8	Fuji Electronic	251	170	421
9	Renesas	10	229	239
10	Nexperia	13	900	913
	総数	2390	8734	11124

Infineon Technologies: <https://www.infineon.com/cms/jp/>

ON Semiconductor: <https://www.onsemi.jp/>

STMicroelectronics: <https://www.st.com/ja/power-transistors.html>

三菱電機:

<https://www.mitsubishielectric.co.jp/semiconductors/powerdevices/products/power-module/>

Vishay: <https://www.vishay.com/ja/>

Rohm: <https://www.rohm.co.jp/>

東芝: <https://toshiba.semicon-storage.com/jp/semiconductor/product/power-semiconductors.html>

富士電機: <https://www.fujielectric.co.jp/products/semiconductor/index.html>

Renesas: <https://www.renesas.com/ja>

Nexperia: <https://www.nexperia.com/>

発表者・研究者等情報

東京大学

生産技術研究所

高宮 真 教授

梁 耀淦 特任研究員

芝浦工業大学

工学部

畑 勝裕 准教授

学会情報

本研究成果は、2025年3月16日から20日まで米国・アトランタで開催される以下の国際学会で発表されます。

国際学会: IEEE Applied Power Electronics Conference and Exposition (APEC) 2025

題名: Fully Integrated Closed-Loop Active Gate Driver IC With Real-Time Control of Gate Current Change Timing by Gate Current Sensing

著者名: Yaogan Liang, Katsuhiko Hata, and Makoto Takamiya

注意事項（解禁情報）

日本時間 3 月 16 日 21 時（米国東部夏時間：3 月 16 日 午前 8 時）以前の公表は禁じられています。

研究助成

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の委託業務（JPNP21009）の結果得られたものです。

事業名：省エネエレクトロニクスの製造基盤強化に向けた技術開発事業

事業期間：2021 年度～2025 年度

事業概要：https://www.nedo.go.jp/activities/ZZJP_100192.html

用語解説

（注 1）パワー半導体

半導体の中で、電力の制御や変換応用に向けた、高い電圧、大きな電流を扱うことができる半導体。本稿では、特に大電力のスイッチとして機能するゲート端子を有するパワー半導体（具体的には IGBT やパワー MOSFET）を対象としています。

問合せ先

〈研究内容について〉

東京大学 生産技術研究所

教授 高宮 真（たかみや まこと）

Tel：03-5452-6253 E-mail：mtaka@iis.u-tokyo.ac.jp

〈報道機関窓口〉

東京大学 生産技術研究所 広報室

Tel：03-5452-6738 E-mail：pro@iis.u-tokyo.ac.jp

芝浦工業大学 入試・広報連携推進部 企画広報課

Tel：03-5859-7070 E-mail：koho@ow.shibaura-it.ac.jp